**Лабораторная работа 5 (Lr5)**

**РЕГИСТРЫ**

**ЦЕЛЬ РАБОТЫ**

Ознакомление с устройством и функционированием регистров и регистровой памя­ти; испытание интегрального универсального регистра сдвига.

**ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ И РАСЧЕТНЫЕ ФОРМУЛЫ**

*Регистр —* это последовательностное устройство, предназначенное для записи, хра­нения и (или) сдвига информации, которая поступает и хранится в регистре в виде *n*-разрядных двоичных чисел. В общем случае регистр может выдавать информацию в последовательной или параллельной форме, *преобразовывать* прямой код числа в обратный (когда единицы заменяются нулями, а нули — единицами) и наоборот, а также выполнять логическое *сложение* и логическое *умножение* двоичных чисел.

В зависимости от способа ввода и вывода разрядов числа различают регистры па­раллельные, последовательные и параллельно-последовательные. В *параллельном* ре­гистре ввод и вывод всех разрядов кодового числа осуществляются одновременно, в *последовательном —* разряды числа вводятся и выводятся последовательно, а в *па­раллельно-последовательном* регистре ввод числа производится в параллельной фор­ме, а вывод — в последовательной, и наоборот. Преобразование параллельного кода в последовательный и наоборот — очень актуальная задача, так как передача цифро­вой информации в сетях передачи данных осуществляется в последовательном коде, а обработка ее в микропроцессорах вычислительных устройств — в параллельном.

Регистр, в котором можно осуществить сдвиг числа, называют *сдвигающим* (сдви­говым), причем сдвиг может быть или в одну сторону (в сторону младшего разряда — *прямой* (правый) *сдвиг,* в сторону старшего разряда — *обратный* (левый) сдвиг), или в обе стороны *(реверсивный сдвигающий* регистр). В этом смысле последовательный и параллельно-последовательный регистры относят к сдвиговым.

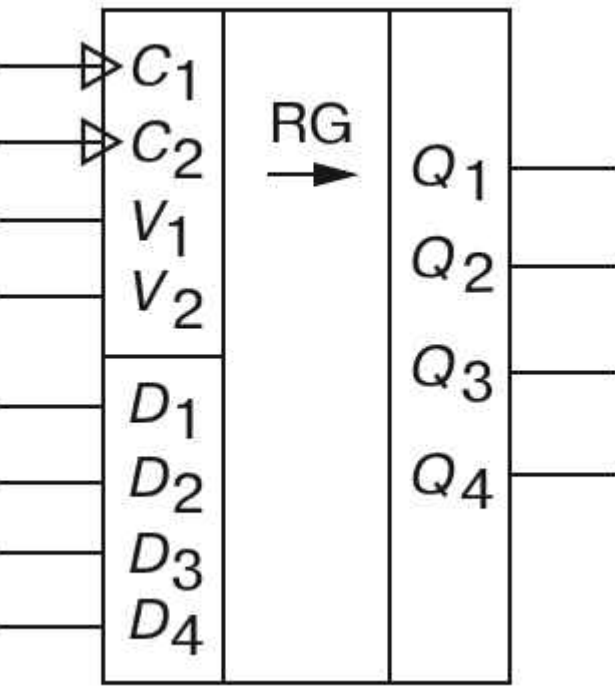


Рис. 5.1

Отечественная промышленность выпускает многие типы ре­гистров в виде микросхем. В качестве примера на рис. 5.1 при­ведено изображение четырехразрядного регистра (микросхема серии К155). При *V2* = 0 разряды числа вводят последовательно в регистр через вход *V1*; синхроимпульсы, поступающие на вход *C1* обеспечивают сдвиг вправо разрядов числа; регистр работает как сдвигающий. В микросхеме (см. рис. 5.1) предусмотрен так­же параллельный ввод всех разрядов числа по синхроимпульсу на входе *С2* с входов *D1,* ..., *D4* при *V2* = 1. В данном случае ре­гистр работает как параллельный.

Если выводы последнего триггера сдвигающего регистра соединить с входами первого, то получится *кольцевой* регистр сдвига, называемый *кольцевым счетчиком.* Его коэффициент пересчета равен числу разрядов *п:* единица, записанная в один из разрядов, периодически появляется на выходе счетчика после того, как пройдут *п* сдвигающих синхроимпульсов.

Любой регистр состоит из связанных между собой триггеров с динамическим или статическим управлением и логических элементов, причем количество триггеров равно количеству разрядов в записываемом числе. Синтез регистра сводится к выбо­ру типа триггеров и логических элементов И, НЕ, ИЛИ для реализации заданных операций.

Рассмотрим работу параллельного регистра на *RS*-триггерах (рис. 5.2). Ввод (за­пись) числа осуществляется в два такта. Во избежание ошибочной записи числа  в первом такте все триггеры регистра обнуляются. Для этого на шину «0» по­дается логический 0. Во втором такте по сигналу 1 на шине *«П»* («Прием») через конъюнкторы одновременно записывается в соответствующие разряды регистра двоичное число *.* Вывод (считывание) числа  в прямом коде происхо­дит по сигналу 1 на шине «*Впр*», а в обратном — по сигналу 1 на шине «*Вобр*».

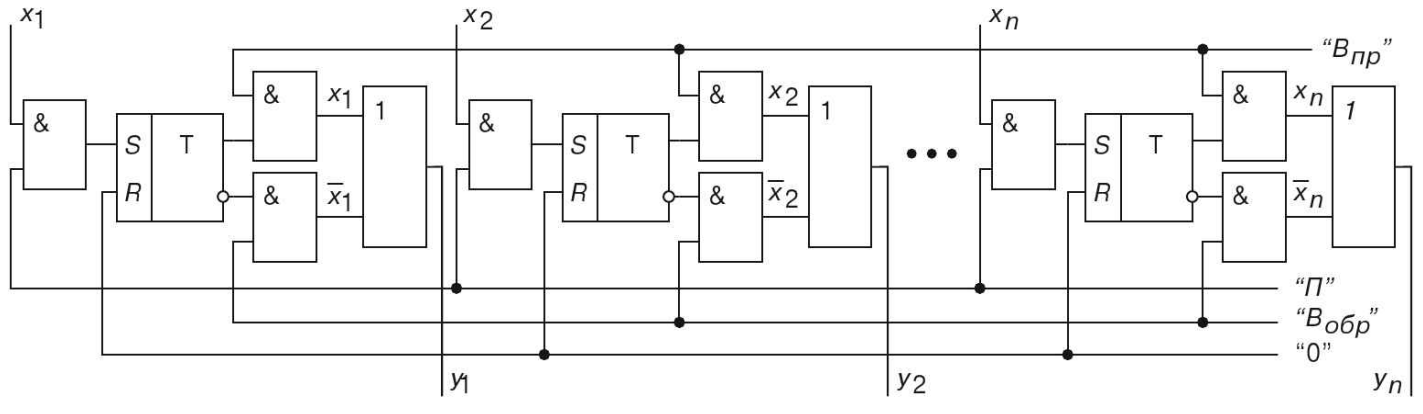


Рис. 5.2

Объединив в одной микросхеме несколько регистров и добавив на входе дешиф­ратор DCW, а на выходе — мультиплексор MS, получают *регистровую (сверхоператив­ную) память* (рис. 5.3). Входы *Di* четырех или восьми регистров, как правило, 4-разрядных, подключают к общей входной шине данных *DIN.* Вход загрузки требуемого регистра выбирается дешифратором записи DCW на основании поступающего на его вход адреса записи *WA,* то есть кода номера загружаемого регистра. *Запись* дан­ных, присутствующих на шине *DIN,* происходит в момент поступления сигнала раз­решения записи *WE.*

Выходы регистров мультиплексором MS подключаются к выходной шине *DOUT.* Номер регистра, с которого происходит *чтение,* определяется посредством кода ад­реса чтения *RA.* Разрешение выдачи данных в шину *DOUT* происходит по сигналу *RE.* Поскольку дешифрация адреса записи и адреса чтения производится двумя неза­висимыми узлами, имеющими автономные адресные входы *WA* и *RA,* в регистровую

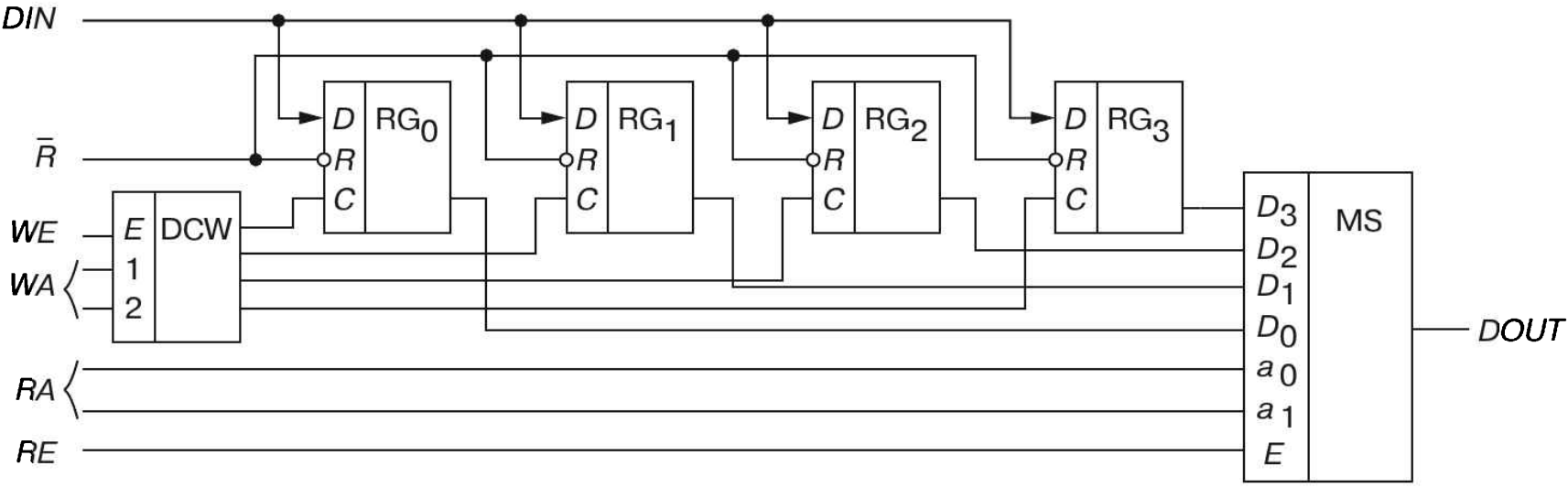


Рис. 5.3

память можно одновременно записывать бинарное число в один из регистров и счи­тывать число из другого. Описанная структура использована в кристалле отечествен­ных микросхем К155РП1, ИРП и ИР12 серий К561 и К564.

Микросхемы регистровой памяти легко наращиваются по разрядности и допуска­ют наращивание по числу регистров. Они разработаны для построения блоков *регис­тров общего назначения* (РОН), предназначенных для временного хранения исходных данных и промежуточных результатов расчета в микропроцессорах.

**УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ**

**Задание 1.** Запустить лабораторный комплекс **Micro-Сap 12**.Собрать на рабочем поле среды **Micro-Cap 12** схему для испытания *универсального регистра сдвига* (рис. 5.4) и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 5.4) в отчет.

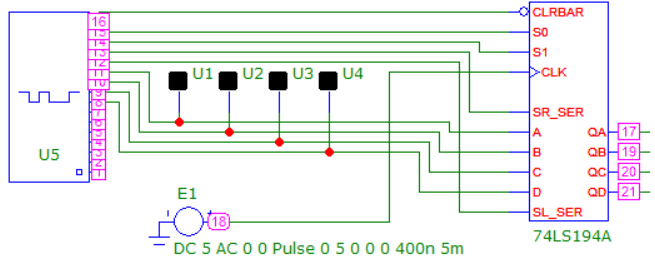


Рис. 5.4

Универсальный 4-разрядный регистр сдвига **74LS194A** (отечественные ана­логи - микросхемы К230ИР2, КМ155ИР1, К176ИРЗ) способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись дан­ных. Регистр имеет параллельные входы **(А, В, С, D),** параллельные выходы **(QA, QB, QC, QD),** последовательные входы **(SR, SL),** цепь прямой очистки регистра по входу  и управляющие входы (**S0** и **S1**) — входы задания режима:

*  — запись данных в регистр по входам **А**, **В**, **С**, **D**;

*  — сдвиг данных влево в направлении от **QA** к **QD;**

*  - сдвиг данных вправо в направлении от **QD** к **QA;**

*  — входы регистра недоступны (блокировка).

**Задание 2. Составить** план исследования параллельного регистра сдвига, запол­нив ячейки памяти генератора слова **16-Bit Digital Stimulus** на основе правил функционирования ре­гистра **74LS194A,** отраженных в табл. 5.1.

Таблица 5.1

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | | | Выходы | | | |
| Сброс | Старт | Режим | | Послед, вход | | Параллельный вход | | | |
|  |  | S0 | S1 | SR | SL | А | В | С | D | QA | QB | QC | QD |
| 0 | X | X | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 |
| 1 | 0 | X | X | X | X | X | X | X | X | QA0 | QB0 | QC0 | QD0 |
| 1 |  | 1 | 1 | X | X | А | В | С | D | А | В | С | D |
| 1 |  | 1 | 0 | 1 | X | X | X | X | X | 1 | QAn | QBn | QCn |
| 1 |  | 1 | 0 | 0 | X | X | X | X | X | 0 | QAn | QBn | QCn |
| 1 |  | 0 | 1 | X | 1 | X | X | X | X | QBn | QCn | QDn | 1 |
| 1 |  | 0 | 1 | X | 0 | X | X | X | X | QBn | QCn | QDn | 0 |
| 1 | X | 0 | 0 | X | X | X | X | X | X | QA0 | QB0 | QC0 | QD0 |

**Примечание.** 0 — низкий уровень; 1 — высокий уровень; X —любое состояние; — положительный перепад (с низкого уровня па высокий); QA0, QB0,QC0, QD0 — стационарные уровни А, В, С, D до установки указанных состояний на входах; QAn, QBn, QCn, QDn —соответственно уровни А, В, С, D перед началом прохождения фронта самого последнего тактового импульса.

**Запустить** программу моделирования параллельного регистра, **скопировать** в отчет программу (см. табл. 5.2) и временные диаграммы сигналов на входах и выходах ре­гистра (см. рис. 5.5).

Ввод (запись) и вывод (считывание) информации производятся параллельным кодом. Ввод обеспечивается тактовым импульсом, с приходом очередного тактового импульса записанная информация обновляется. Считывание информации происхо­дит в прямом коде в интервале между синхроимпульсами, когда триггеры находятся в режиме хранения.

Руководствуясь схемой соединения генератора **16-Bit Digital Stimulus** с регистром (см. рис. 5.4), при записи чисел в ячейки памяти генератора в младший разряд 9-разрядных чисел нужно заносить значение сигнала : логический 0 для очистки регистра или логи­ческая 1 — разрешение записи числа, сдвига данных и др.; в следующие два разряда — значения (1 или 0) сигналов **S0** и **S1,** определяющих режим работы регистра; в два следующих — вводить значения сигналов **SR** и **SL,** определяющих направление сдви­га записанной информации в направлении от **QA** к **QB, QC,** а затем к **QD** после каж­дого положительного перепада импульса на тактовом входе  или наоборот от **QD** к **QA.** В старшие разряды нужно занести произвольные (или по указанию преподава­теля) значения 4-разрядных чисел **DCBA,** которые передаются на соответствующие выходы (оставшиеся разряды заполнить нулями).

В качестве примера в табл. 5.2 приведена запись 9-разрядных кодовых комбина­ций в виде 15 сигналов генератора **16-Bit Digital Stimulus**, а на рис. 5.5 — реализация программы мо­делирования параллельного регистра в виде временных диаграмм сигналов (выводи­мых в окне «Transient Analisis»).

Таблица 5.2

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | C | B | A | SL | SR | S1 | S0 | CLR | Шаги |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 4 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 5 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 6 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 8 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 9 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 10 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 11 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 12 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 13 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 14 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 15 |

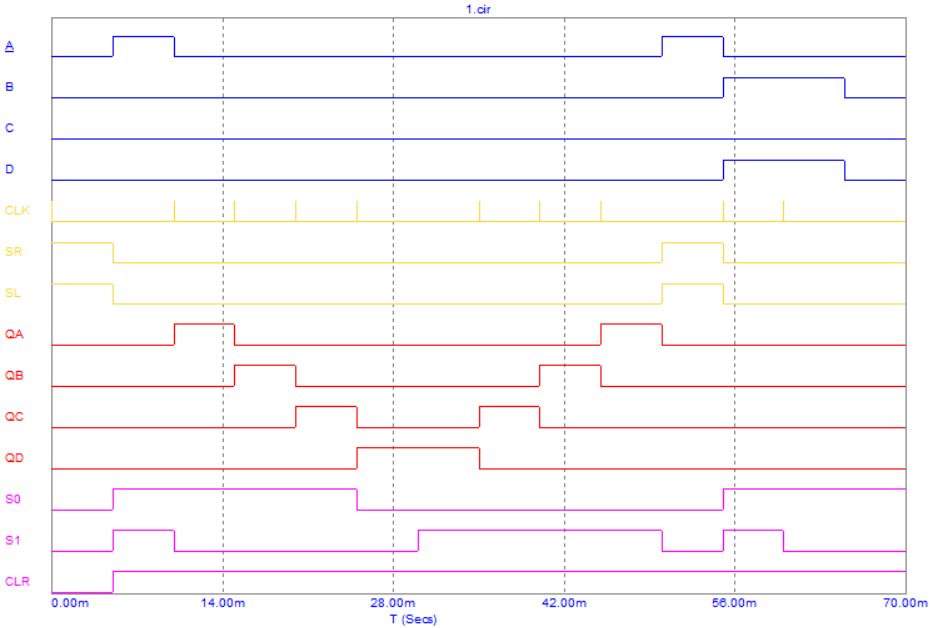


Рис. 5.5

На первом шаге (первом такте работы генератора и регистра) при подаче сигнала  (см. первую строку табл. 5.1) на всех входах и выходах регистра установились нулевые значения. На втором шаге при , ,  (разре­шение записи числа в регистр),  и  (запрещение сдвига данных во время синхронной параллельной записи числа в регистр, см. третью строку табл. 5.1) про­исходит загрузка 4-разрядного двоичного числа  в регистр.

При задании направления сдвига данных влево ( и , такт или шаг 3) сигнал 0001 выводится на выходы: , ,  и . С приходом очередного тактового импульса (шаги 4, 5 и 6) происходит перезапись (сдвиг) содер­жимого триггера каждого разряда в соседний разряд (от разряда А к разряду D) без изменения порядка следования единиц и нулей. По окончании шестого тактового импульса на выходе устанавливается число 1000. Если выполнить еще один шаг при  и , то занесенная в регистр информация будет полностью из него выведена. Если при работе регистра в режиме сдвига влево в ячейки памяти генератора внести , то сигнал 1 будет формиро­ваться на выходе **QA** и сдвигаться влево от QA к QD при каждом тактовом импульсе. В результате после шестого импульса на выходе установится сигнал 1111.

Режим блокировки реализуется при подаче на оба управляющих входа сигналов низкого уровня, то есть  при . В режиме блокировки данные в регистре не сдвигаются ни вправо, ни влево, а оста­ются на своих прежних позициях. При установке сигналов  и  с прихо­дом 8, 9 и 10 тактовых импульсов происходят сдвиг сигнала 1000 вправо и его пол­ный вывод из регистра. Если при работе регистра в режиме сдвига вправо в ячейки памяти генератора внести , то сигнал 1 будет формироваться на выходе **QD** и сдвигаться вправо от **QD** к **QA** при каждом тактовом импульсе. И, как следствие, после десятого импульса на выходе установится сигнал 1111.

При установке  с приходом 11-го импульса происходит блокировка выходов, на следующем шаге выполняется параллельная запись числа  в регистр, далее сдвиг данных влево и т. д.

**Задание 3.** Собрать на рабочем поле **Micro-Cap 12** схему для испытания *последо­вательного регистра сдвига* (рис. 5.6) и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 5.6) в отчет.

Чтобы микросхема **74LS194A** работала в качестве *последовательного регистра сдвига влево,* нужно подать на управляющий вход **S0** высокий уровень напряжения, а на вход **S1 —** низкий уровень, то есть установить  и , и подавать в последовательной форме на вход **SR** данные, например 1, 0, 1 и 0, которые записыва­ются в разряд **А** и передаются на выход **QA** (см. рис. 5.7).

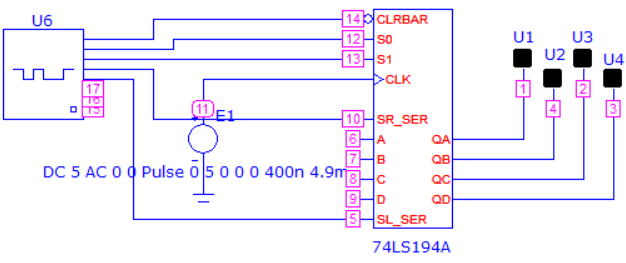


Рис.5.6

Регистр последовательно сдвигает влево эти сигналы от **QA** к **QD**, на выходе **QD** они теряются (см. шаги 3, …, 9 в табл. 5.3).

Таблица 5.3

|  |  |
| --- | --- |
| Разряды | Шаги |
| 00000 | 1 |
| 01011 | 2 |
| 00011 | 3 |
| 01011 | 4 |
| 00011 | 5 |
| 00011 | 6 |
| 00011 | 7 |
| 00011 | 8 |
| 00001 | 9 |
| 00000 | 10 |

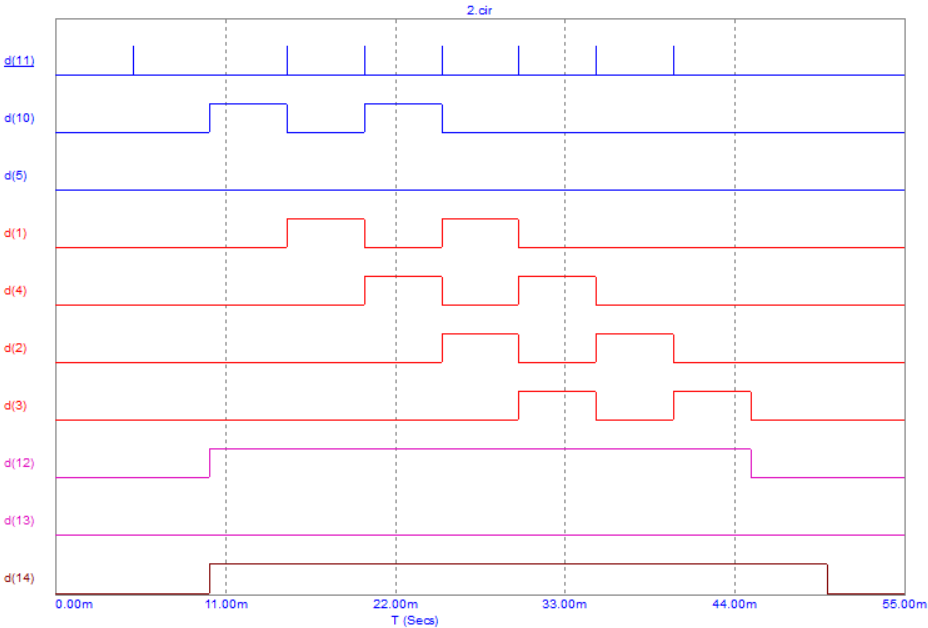


Рис.5.7

При установке  и  и подаче на вход **SL** данных в последовательной форме, например 1, 0, 0 и 1, которые записываются в разряд **D** (и передаются на вы­ход **QD**), микросхема работает в режиме *последовательного регистра сдвига вправо* (без кольцевого перемещения данных): сигналы 1, 0, 0 и 1 сдвигаются по направле­нию к разряду **А**, на выходе **QA** они теряются. (см. рис. 5.8)

**Задание 4. Составить** план исследования последовательного регистра **74LS194A,** заполнив ячейки памяти генератора **16-Bit Digital Stimulus** произвольными (или по заданию препо­давателя) 4-разрядными кодовыми комбинациями, вводимыми последовательно в регистр **А.**

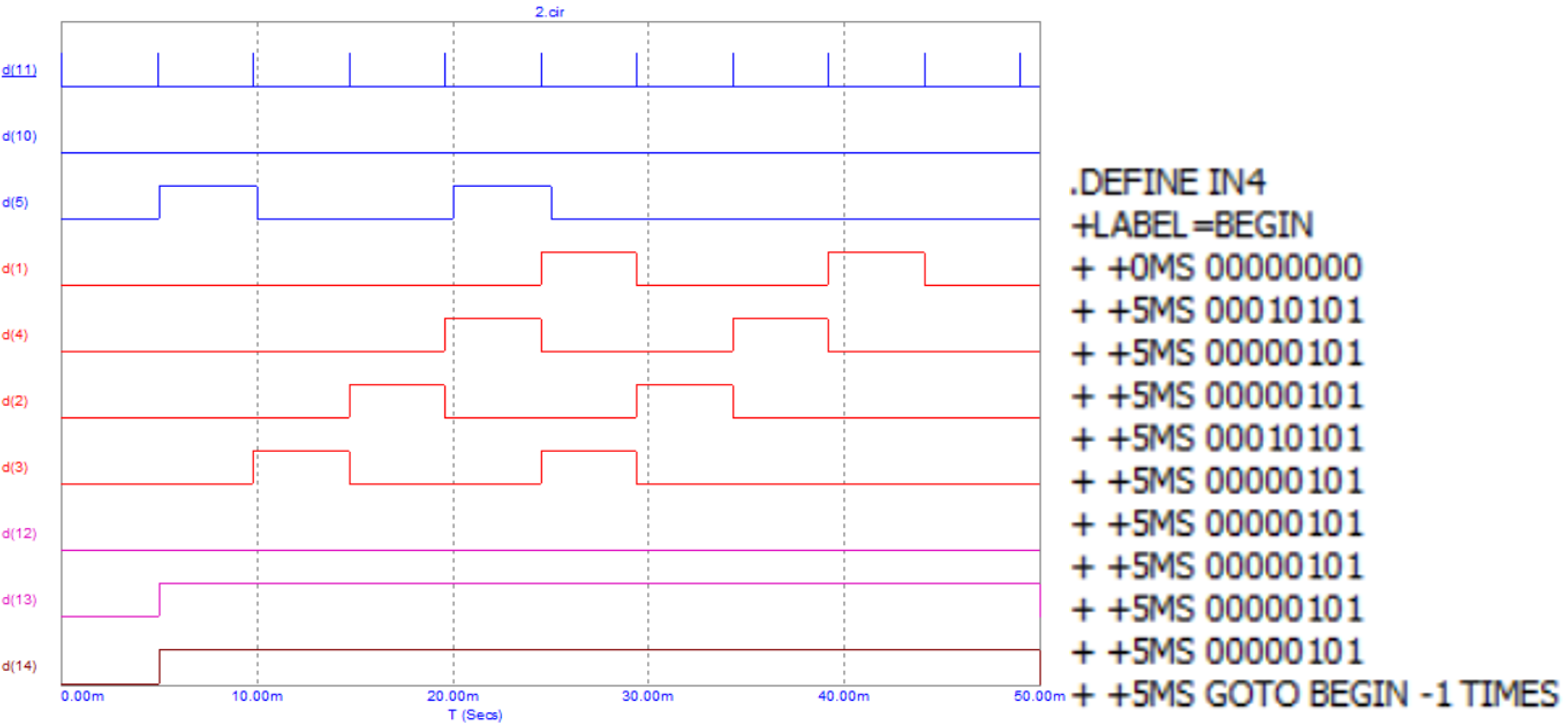


Рис. 5.8

**Запустить** программу моделирования последовательного регистра, скопироватьв отчет временные диаграммы сигналов на входах и выходах регистра при сдвиге данных влево (см. рис. 5.7) и вправо (см. рис. 5.8).

**ТЕСТОВЫЕ ЗАДАНИЯ К РАБОТЕ 5**

1. Укажите **функции,** которые в общем случае может выполнять регистр:

* обнуление (очистку) хранимой информации, запись входной информации в последовательном или в параллельном коде;
* суммирование по модулю 2 всех разрядов бинарных чисел с целью выяснения четности числа;
* сравнение двух бинарных чисел одинаковой разрядности с целью определения их равенства или неравенства;
* преобразование информации путем ее сдвига под воздействием тактовых им­пульсов;
* хранение информации, ее сдвиг вправо и влево, выдачу хранимой информа­ции в последовательном или в параллельном коде;
* преобразование десятичных чисел в двоичные или в двоично-десятичные.

1. В параллельном регистре с приходом каждого тактового импульса информация на выходах поразрядно сдвигается в направлении от выхода **QD** к выходу **QA.**

Укажите, как **называют** такой регистр:

|  |  |
| --- | --- |
| * регистр прямого сдвига; | * регистр обратного сдвига; |
| * реверсивный регистр; | * регистр хранения. |

1. Укажите, какие регистры выполняют со **статическим** управлением:

|  |  |
| --- | --- |
| * последовательные; | * параллельные; |
| * последовательно-параллельные; | * параллельно-последовательные. |

1. Укажите, при каких **уровнях сигналов** на управляющих входах **SO** и **S1** информа­ционные входы реверсивного регистра **74LS194A** недоступны:

|  |  |
| --- | --- |
|  |  |
|  |  |

1. Укажите, в какой **разряд** вводится информация последовательного регистра **74LS194A** при ,  на управляющих входах и сигналах  и :

|  |  |
| --- | --- |
| * в разряд **D;** | * в разряд **С;** |
| * в разряд **В;** | * в разряд **А.** |

1. Укажите, при **каких уровнях** управляющих сигналов **S0** и **S1** разрешена запись ин­формации в параллельный регистр **74LS194A:**

|  |  |
| --- | --- |
|  |  |
|  |  |

1. Укажите, разрешено ли последовательное **перемещение** сигналов в триггерной подсистеме параллельного регистра **74LS194A** во время записи информации:

|  |  |
| --- | --- |
| * Да; | * Нет; |

1. Укажите, сколько **входов** имеет последовательный регистр с динамическим управлением:

* один информационный вход;
* два: один информационный вход и вход для тактовых импульсов (импульсов сдвига);
* три: один информационный, вход для тактовых импульсов и установочный вход;
* четыре: два информационных входа, вход для тактовых импульсов и устано­вочный вход.

1. Укажите, чем отличается **динамическое управление** регистрами от статического управления:

* принципиальных отличий нет: сигналы, поступающие на информационные входы всех модификаций регистров, действуют в момент их поступления;
* у регистров с динамическим управлением сигналы на информационных вхо­дах должны оставаться неизменными на всем интервале действия активного логического сигнала синхронизации *(С =* 1);
* при динамическом управлении запоминание сигналов, действующих на ин­формационных входах регистра, происходит во входных емкостях МДП-транзисторов в момент изменения значения сигнала на входе синхронизации, а в статических регистрах, построенных, например, на *RS*-триггерах, сигналы действуют в момент их поступления на информационные входы.